

Docket No.: 65933-044

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Naoteru MATUSBARA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 18, 2003	:	Examiner: Unknown
	:	
For:		SEMICONDUCTOR DEVICE INCLUDING INTERCONNECTS FORMED BY DAMASCENE PROCESS AND MANUFACTURING METHOD THEREOF

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2002-284211, filed September 27, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:tlb
Facsimile: (202) 756-8087
Date: September 22, 2003

65933-044
MATUSBARA et al.
September 18, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 7 日
Date of Application:

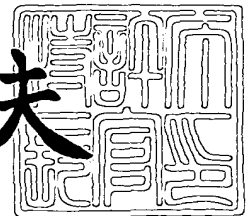
出 願 番 号 特 願 2 0 0 2 - 2 8 4 2 1 1
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 8 4 2 1 1]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 5 2 1 2

【書類名】 特許願

【整理番号】 NPC1020026

【提出日】 平成14年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 松原 直輝

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 藤田 和範

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100105924

 【弁理士】

 【氏名又は名称】 森下 賢樹

 【電話番号】 03-3461-3687

【手数料の表示】

 【予納台帳番号】 091329

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に設けられた、第 1 の絶縁膜、エッチング阻止膜および第 2 の絶縁膜がこの順で積層してなる積層膜と、

前記積層膜中に埋設された金属配線と、

を備え、

前記エッチング阻止膜の比誘電率は、前記第 1 の絶縁膜の比誘電率および前記第 2 の絶縁膜の比誘電率のいずれよりも大きく、

前記エッチング阻止膜の上面が前記金属配線の上面よりも下部にあり、

前記エッチング阻止膜の下面が前記金属配線の下面よりも上部にあることを特徴とする半導体装置。

【請求項 2】 前記エッチング阻止膜の比誘電率が 5.0 以下であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記エッチング阻止膜の比誘電率は、前記第 1 の絶縁膜の比誘電率および前記第 2 の絶縁膜の比誘電率の少なくとも一方より 2.0 以上大きいことを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記配線は Cu を構成元素として含むことを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 半導体基板上に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に、前記第 1 の絶縁膜より比誘電率の高いエッチング阻止膜を形成する工程と、

前記エッチング阻止膜上に、前記エッチング阻止膜より比誘電率の低い、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜を選択的にエッチングし、前記エッチング阻止膜を露出させ、溝を形成する工程と、

前記溝底部のエッチング阻止膜をエッチングにより除去する工程と、

前記溝底面に露出した前記第 1 の絶縁膜を所定の厚さだけエッチングし、溝を

所定の深さに形成する工程と、
前記溝内部に金属膜を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 6】 第 2 の絶縁膜を形成する前記工程の後、前記第 2 の絶縁膜をエッチングし溝を形成する工程以前に、前記エッチング阻止膜および前記第 1 の絶縁膜を選択的にエッチングし、ビアホールを形成する工程をさらに含み、前記金属膜は前記ビアホール内部にも形成されることを特徴とする請求項 5 に記載の製造方法。

【請求項 7】 前記エッチング阻止膜の比誘電率が 5. 0 以下であることを特徴とする請求項 5 または請求項 6 に記載の製造方法。

【請求項 8】 前記エッチング阻止膜の比誘電率は、前記第 1 の絶縁膜の比誘電率、および前記第 2 の絶縁膜の比誘電率の少なくとも一方より 2. 0 以上大きいことを特徴とする請求項 5 から請求項 7 に記載の製造方法。

【請求項 9】 前記金属膜は、C u を構成元素として含むことを特徴とする請求項 5 から請求項 8 のいずれかに記載の製造方法。

【請求項 1 0】 前記第 2 の絶縁膜を形成した後、プラズマ暴露または U V 照射により前記第 2 の絶縁膜を表面改質する工程をさらに含むことを特徴とする請求項 5 から請求項 9 のいずれかに記載の製造方法。

【請求項 1 1】 前記第 1 の絶縁膜を形成した後、表面改質をすることなく前記エッチング阻止膜を形成することを特徴とする請求項 5 から請求項 1 0 のいずれかに記載の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造プロセスに関し、とくに絶縁膜中にエッチング阻止膜を有する配線構造の加工技術に関するものである。

【0 0 0 2】

【従来の技術】

近年、半導体装置の高速動作および製造コストの抑制といった課題に対するひ

とつの解として、多層配線の微細化が進んでいる。同時に、配線の電気抵抗および配線間の電気容量の増大に伴う、配線遅延（RC遅延）の問題が表面化し、半導体装置の動作速度を律速するようになった。そこで、配線の電気抵抗を低減するため、配線材料としてAlでなくCuを用いる、配線間の電気容量を低減するため、絶縁膜に低誘電率材料を用いる、といった対策が広く知られるようになった。

【0003】

Cuは反応性イオンエッチングによる加工が困難なため、Cuを配線材料として用いるためには、ダマシン（Damascene）法を用いた配線形成がなされる。図1（A）～（D）にダマシン法を用いたCu配線形成工程の一例を示す。現在ダマシン法としては、配線層とビアプラグとを段階的に形成していくシングルダマシン法と、配線層およびビアプラグを同時に形成するデュアルダマシン法（特許文献1参照）が知られているが、ここでは後者の例を示す。

【0004】

まず、図1（A）に示すように、Cuを含む下層配線1および下層絶縁膜2上に、Cuの拡散防止膜3、例えばSiN膜をプラズマCVD法によって形成し、次いで層間絶縁膜4を形成する。層間絶縁膜4には従来用いられているSiO₂をプラズマCVD法によって成膜してもよいが、さらなる配線遅延低減のため、前述のように低誘電率の材料を用いることが好ましい。ここで低誘電率の材料とは、SiO₂の比誘電率、すなわち4.1～4.2程度より低い比誘電率を有する材料であり、プラズマCVD法により成膜するSiOC系膜、SiOF系膜や、塗布法により成膜する有機SOG膜、無機SOG（Spin on Glass）膜、有機ポリマー膜などが挙げられる。

【0005】

次に、エッチング阻止膜5を形成し、さらに上層絶縁膜6を形成する。エッチング阻止膜5はSiN膜、SiC膜、SiO₂膜など、上層絶縁膜6に対してエッチング選択比の高い材料を選択する。上層絶縁膜6はSiO₂膜の他、層間絶縁膜4と同様に低誘電率の材料を用いてもよい。

【0006】

次に図 1 (B) に示すように、ホール状に形成された第 1 のレジストパターン 7 をマスクとして異方性エッチングを行い、ビアホール 7 A を開口する。第 1 のレジストパターン 7 を除去した後、図 1 (C) に示すように、溝状に形成された第 2 のレジストパターン 8 をマスクとして異方性エッチングを行い、上層配線用溝 8 A を開口する。このときエッチング阻止膜 5 によって層間絶縁膜 4 へのエッチング進行が阻止される。

【0007】

さらに図 1 (D) に示すように、ビアホール 7 A および上層配線用溝 8 A 内壁をバリアメタル 9 で被覆した後、Cu などの配線金属 10 を埋め込む。バリアメタルの形成は Cu の拡散防止や絶縁膜との密着性向上などを目的とし、一般には高融点金属、例えば Ta や Ti、またはその窒化物などを PVD 法などによって成膜する。Cu はめっき法などによって、ビアホール 7 A および上層配線用溝 8 A を埋め込みながら上層絶縁膜 6 を覆うように形成されるため（図示せず）、化学的機械研磨（Chemical Mechanical Polishing; CMP）を施すことにより、ビアプラグ 7 B および上層配線 8 B を形成する。

【0008】

以上述べたダマシン法を用いた配線形成プロセスにおいては、エッチング阻止膜 5 は、オーバーエッチングによるビアホール 7 A の変形を防止し、配置の粗密に拘らず同一の寸法を有するビアホール 7 A および上層配線用溝 8 A を形成し、結果として信頼性を確保するために重要な役割を果たす。

【0009】

【特許文献 1】

特開 2000-91425 号公報（第 2-3 頁、図 15）

【0010】

【発明が解決しようとする課題】

ところが上記エッチング阻止膜は比誘電率が比較的高く、例えば代表的に用いられる SiN 膜の誘電率はおよそ 7.0 もある。エッチング阻止膜は絶縁膜中に存在するため、絶縁膜として低誘電率の材料を採用しても、同時にエッチング阻止膜が導入されることにより、配線間の電気容量の抑制効果が妨げられてしまう

場合がある。そこで、エッチング阻止膜の薄膜化や、低誘電率を有する材料への変更などが検討されているが、生産性や信頼性の点で課題が多く、実用化には至っていない。

【0 0 1 1】

本発明はそうした状況に鑑みなされたものであり、その目的は、ダマシン法を用いた配線形成プロセスにおいて、材料や構造を大幅に変更することなく、配線間の電気容量を効果的に抑制することのできる多層配線形成技術を提供することである。

【0 0 1 2】

【課題を解決するための手段】

本発明に係る半導体装置は、半導体基板と、前記半導体基板上に設けられた、第1の絶縁膜、エッチング阻止膜および第2の絶縁膜がこの順で積層してなる積層膜と、前記積層膜中に埋設された金属配線と、を備え、前記エッチング阻止膜の比誘電率は、前記第1の絶縁膜の比誘電率および前記第2の絶縁膜の比誘電率のいずれよりも大きく、前記エッチング阻止膜の上面が前記金属配線の上面よりも下部にあり、前記エッチング阻止膜の下面が前記金属配線の下面よりも上部にあることを特徴とする。

【0 0 1 3】

ここで第1の絶縁膜とは、2つの配線層で挟まれた絶縁膜のことであり、第2の絶縁膜とは、同一の配線層に含まれる隣接した配線または配線用溝で挟まれた絶縁膜、または配線用溝を形成する前の絶縁膜のことである。

【0 0 1 4】

半導体装置を動作させるために配線に電流が流れると、配線の断面にはその形状に依存して不均一な電界が生じる。配線断面は通常、矩形または矩形に準じた形状であることから、その四隅には電気力線が集中しやすい。本半導体装置によれば、配線の下面と前記エッチング阻止膜とを隔離することにより、比誘電率の高い材料をエッチング阻止膜として使用しても、隣接する配線間において電気力線が集中する領域は低誘電率の絶縁膜が占めるため、配線間の実効的な電気容量が抑制される。

【0 0 1 5】

本発明の半導体装置の製造方法は、半導体基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に、前記第 1 の絶縁膜より比誘電率の高いエッチング阻止膜を形成する工程と、前記エッチング阻止膜上に、前記エッチング阻止膜より比誘電率の低い、第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜を選択的にエッチングし、前記エッチング阻止膜を露出させ、溝を形成する工程と、前記溝底部のエッチング阻止膜をエッチングにより除去する工程と、前記溝底面に露出した前記第 1 の絶縁膜を所定の厚さだけエッチングし、溝を所定の深さに形成する工程と、前記溝内部に金属膜を形成する工程と、を含む。

【0 0 1 6】

また、第 2 の絶縁膜を形成する前記工程の後、前記第 2 の絶縁膜をエッチングし溝を形成する工程以前に、前記エッチング阻止膜および前記第 1 の絶縁膜を選択的にエッチングし、ビアホールを形成する工程をさらに含んでもよく、前記ビアホールと前記溝内部に前記金属膜を同時に形成することにより、デュアルダマシンプロセスへの応用が可能である。ここで、ビアホールとは例えば前記第 1 の絶縁膜より下層にある配線層と、前記第 2 の絶縁膜を含む層とに属する各配線をつなぐビアプラグを形成するためのホールである。

【0 0 1 7】

前記エッチング阻止膜の比誘電率は、前記第 1 の絶縁膜の比誘電率、および前記第 2 の絶縁膜の比誘電率の少なくとも一方より 2. 0 以上大きくてもよい。さらに配線間の電気容量を効果的に抑制するためには、前記エッチング阻止膜の比誘電率が、前記第 1 の絶縁膜および前記第 2 の絶縁膜の比誘電率のどちらよりも 2. 0 以上大きいことが望ましい。

【0 0 1 8】

前記第 1 の絶縁膜および前記第 2 の絶縁膜は、S i と O と C と H を構成元素として含む材料、すなわちプラズマ C V D 法による S i O C 膜や、塗布法による M S Q (メチルシルセスキオキサン) 膜を使用できる。代表的な例として、エッチング阻止膜として S i N 膜を、第 1 の絶縁膜および第 2 の絶縁膜として S i O C 膜を形成した場合、比誘電率はそれぞれ 7. 0 および 2. 9 である。従ってこの

ような材料を用いた半導体装置の製造方法に、上記製造方法をあてはめることにより、配線の下部からエッチング阻止膜を隔離することによる、配線間の電気容量の抑制が効果的に達成できる。

【0019】

またこの方法によれば、ダマシン法により、低抵抗材料であるCuを構成元素として含む金属を配線として使用することができる。結果として、エッチング阻止膜の配線の下面からの隔離との組み合わせにより、配線遅延を効果的に低減することができる。

【0020】

【発明の実施の形態】

本発明の一実施の形態に係る半導体装置の製造方法を図2(A)～(F)に示す。まず、下層配線1と下層絶縁膜2を有する下層配線層上に配線金属の拡散防止膜3、層間絶縁膜4、エッチング阻止膜5、上層絶縁膜6を順次形成する(図2(A))。

【0021】

下層配線1に用いる配線金属がCuを含む材料である場合、拡散防止膜3として、例えば、SiN膜またはSiC膜などを、プラズマCVD法により50nmの膜厚で成膜する。SiN膜を成膜する際は、モノシランとアンモニア、またはジクロロシランとアンモニアなどの混合ガスを用い、300℃～600℃にて成膜を行う。一方、SiC膜を成膜する際は、トリメチルシランとアンモニアの混合ガスなどを用い、300℃～600℃にて成膜を行う。また、拡散防止膜3を積層構造、例えば、SiO₂/SiN、SiC/SiN、またはSiO₂/SiCNなどの構造にしてもよい。

【0022】

層間絶縁膜4としては例えば、低い比誘電率を有するSiOC膜をプラズマCVD法により470nm成膜する。この際の成膜ガスは、トリメチルシランと酸素の混合ガスなどを用い、成膜温度は300℃～600℃にて行う。SiOC膜以外の低誘電率の材料、例えば有機SOG膜を用いてもよい。このときは例えば、MSQ系の材料を塗布した後、400℃程度で熱処理を行う。その他、無機S

OG膜や有機ポリマー、あるいはポーラス膜でもよい。また、本実施の形態の有効性は低誘電率の材料に限らず、SiO₂膜をプラズマCVD法などにより成膜してもよい。

【0023】

エッチング阻止膜5としては、例えばSiN膜、SiC膜、SiO₂膜などを50nm形成する。SiO₂膜の場合、モノシランと亜酸化窒素、またはモノシランと酸素、またはTEOS (Tetra Ethyl Ortho Silicate) と酸素などの混合ガスを用い、300℃～600℃にてプラズマCVD法で成膜を行う。SiN膜およびSiC膜の場合は、上述した拡散防止膜3と同様に成膜してもよい。

【0024】

上層絶縁膜6としては、例えばSiOC膜をプラズマCVD法により300nm形成する。層間絶縁膜4と同様に、SiOC膜以外の絶縁膜材料を用いてもよい。また、後述するレジストのパターニングにおいて、サイズの制御性を向上させるため、上層絶縁膜6を形成した後にHeプラズマなどのプラズマへの暴露、またはUV照射により表面改質をすることが望ましい。なお、前述の層間絶縁膜4上にはレジストパターンを形成しないため、このような表面改質は行わないことが望ましい。これは、表面改質により絶縁膜の比誘電率がわずかながら増加するのを避けるためである。

【0025】

次に、上層絶縁膜6上にフォトリソを塗布し露光することにより、ホール形状を有する第1のレジストパターン7を形成した後、異方性エッチングを行い、上層絶縁膜6およびエッチング阻止膜5および層間絶縁膜4をつき抜け拡散防止膜3へ接続するビアホール7Aを開口する(図2(B))。エッチングガスとしては例えばC₄F₈/Ar/N₂混合ガス、またはCH₂F₂/CF₄/Ar/N₂混合ガスを使用する。その後、酸素プラズマにより第1のレジストパターン7を除去する。

【0026】

次に、上層絶縁膜6上にフォトリソを塗布、露光することにより、溝形状を有する第2のレジストパターン8を形成した後、異方性エッチングを行い、上

層絶縁膜 6 に上層配線用溝 8 A を開口する (図 2 (C))。このときエッチング阻止膜 5 により層間絶縁膜 4 のエッチングは阻止される。ここで用いるエッチングガスはビアホール 7 A を開口したときと同様、 $C_4F_8/Ar/N_2$ 混合ガス、または $CH_2F_2/CF_4/Ar/N_2$ 混合ガスでよい。なおこの際、フォトレジスト 11 がビアホール 7 A 底部に残留する。フォトレジストを塗布する前に、その下層に反射防止膜を塗布してもよい。

【0027】

次に追加の異方性エッチングを行い、上層配線用溝 8 A 底部に露出したエッチング阻止膜 5 を除去する (図 2 (D))。このとき用いるエッチングガスは CH_2F_2/CO の混合ガスなどである。ここでのエッチングは上述の上層配線用溝 8 A を開口するためのエッチング終了後、導入ガスを変更して連続的に行ってもよいし、一度大気中に搬出してもよい。その際、レジストパターン 8 を除去してから追加のエッチングを行ってもよい。その後、酸素プラズマにより第 2 のレジストパターン 8 およびビアホール 7 A 底部に残留したフォトレジスト 11 を除去する。

【0028】

次に、上層絶縁膜 6 と、上層配線用溝 8 A 底部に露出している層間絶縁膜 4 と、ビアホール 7 A 低部に露出している拡散防止膜 3 とをエッチバックする (図 2 (E))。ここでは例えば、 CH_2F_2/CO の混合ガスなどを用い、0.7 Pa、マイクロ波 1300 W (RF 400 W) の条件下にて行い、上層絶縁膜 6 および層間絶縁膜 4 を 70 nm 程度、拡散防止膜 3 を 50 nm 程度エッチバックする。なお、エッチバックの条件を変更することによって、拡散防止膜 3 に対する上層絶縁膜 6 および層間絶縁膜 4 のエッチング選択比を制御し、各膜種に対して所望の厚さのエッチバックを行うことができる。

【0029】

上記のように形成されたデュアルダマシン形状の開口部、すなわちビアホール 7 A および上層配線用溝 8 A の側壁および底面をバリアメタル 9 で被覆し、開口部を埋め込むように配線金属 10 を堆積させた後、CMP により上層絶縁膜上に堆積したバリアメタル材料および配線金属材料 (図示せず) を除去することによ

り、ビアプラグ7Bおよび上層配線8Bが形成される(図2(F))。ここでバリアメタル9としては例えば、Ti、Ta、TiN、TaN、TiW、TaW、WNなどを、スパッタ法およびCVD法により50nm成膜する。また、それらを積層構造にしてもよい。配線金属10としては例えば、Cuを用いることができるが、他にもAgやAgCuなど低抵抗の配線材料でもよく、その埋め込みにはスパッタ法またはCVD法またはめっき法もしくはそれらの組み合わせで行ってよい。また、CMP時に上層絶縁膜6に欠陥が発生するのを防止するため、上層絶縁膜6上にSiN、SiCまたはSiO₂などのキャップ膜を形成した後に、開口部の埋め込みを行ってもよい。

【0030】

図2(E)にて示したように、本実施の形態では、デュアルダマシンプロセスにおいて層間絶縁膜4をエッチバックすることにより、上層配線8Bの下面がエッチング阻止膜5と層間絶縁膜4の界面より下位にある配線形状を有する半導体装置が製造できる。また、エッチバック条件を最適化することにより、上層配線8Bの下面と、エッチング阻止膜5と層間絶縁膜4の界面との距離を所望の値に制御することが可能となる。

【0031】

なお、図2(A)～(F)ではデュアルダマシン法における実施の形態を示しているが、同様の手法によりシングルダマシン法における本発明の適用も有効である。また、上述の工程を順次繰り返すことにより、配線層を積層していき、2以上の多層配線を形成することもできる。

【0032】

【実施例】

本実施例では、エッチング阻止膜の位置を変化させて配線間の電気容量に対する影響を、図3に示すような配線構造を用いて調べた。ここで、上層配線8Bの配線幅Mw_i、配線間距離Ms_p、配線高さMh_e、拡散防止膜3および12の膜厚Bd_b、エッチング阻止膜5の膜厚Be_sは固定とし、以下の値を採用した。

【表 1】

パラメータ	寸法 (nm)
配線幅 Mw_i	200
配線間距離 Ms_p	200
配線高さ Mh_e	350
拡散防止膜厚 Bdb	50
エッチング阻止膜厚 Bes	50

【0033】

また、以降の図中において表記される変数、 Kdb 、 Kes 、 Kma 、 Mth はそれぞれ、下層の拡散防止膜 3 および上層の拡散防止膜 12 の比誘電率、エッチング阻止膜 5 の比誘電率、層間絶縁膜 4 および上層絶縁膜 6 の比誘電率、下層配線 1 の上面と上層配線 8 B 下面との距離を示している。さらに変数 Y は、上層配線 8 B 下面の位置を 0 とし、そこからエッチング阻止膜 5 と層間絶縁膜 4 の界面（以下、単に界面とよぶ）までの距離を表している。今の場合、上層配線 8 B の配線高さ Mh_e は定数であるため、変数 Y の値はエッチング阻止膜の位置のみの変化によって決まる値である。

【0034】

図 4 (A) および図 4 (B) は変数 Y 、すなわち上層配線 8 B の下面と界面との距離の変化に対する、配線間の電気容量（以下、配線容量とよぶ）を示している。ここで配線容量 C とは 3 本の上層配線のうち中心の配線とその他の配線との間の電気容量を示しており、中心の配線とその両脇の配線との間の電気容量をそれぞれ C_c 、下層配線との間の電気容量を C_b としたとき、以下の関係を有する。

$$C = 2C_c + C_b$$

【0035】

図4（A）は、エッチング阻止膜5にSiN膜を使用し、層間絶縁膜4および上層絶縁膜6にSiOC膜を使用した場合の結果である。このときの比誘電率 K_{es} 、 K_{ma} はそれぞれ7.0および2.9である。同図によれば、界面の位置が上昇するほど、すなわち、界面と上層配線の下面との距離が増加するほど、配線容量が低減していく。その距離を50nm以上とすることにより、効果的な低減効果が得られることがわかる。

【0036】

図4（B）は、エッチング阻止膜にSiC膜を、層間絶縁膜および上層絶縁膜にポーラス化したMSQ系材料を使用した場合の結果であり、このときの比誘電率 K_{es} 、 K_{ma} はそれぞれ4.9および2.0である。この場合においても界面と上層配線の下面との距離を50nm以上とすることにより、効果的に配線容量の低減効果が得られることがわかる。

【0037】

図4（A）および図4（B）のいずれにおいても、変数Yが-25nmのとき、すなわち界面が上層配線下面より25nm下位にある場合に極大点を有する。本実施例におけるエッチング阻止膜は50nmであるから、このときエッチング阻止膜の中心面が上層配線下面と一致していることになり、上層配線下部の両隅に集中した電気力線により、配線間の電気容量が最も影響を受ける位置であるといえる。従って、従来例として示した図1（C）において、エッチング阻止膜5が半分程度エッチングされていた場合などは、配線容量の増大を招くことがわかる。配線間の電気容量を安定して抑制するためには、本発明に係る実施の形態の如く、界面と上層配線下面との距離を確実に一定距離隔離することが肝要である。一方、エッチング阻止膜の本来の機能、すなわち配線用溝の形成時に溝やその下に形成されているビアホールなどの寸法精度を保持する機能を考慮すると、エッチング阻止膜5の中心面は上層配線8Bの高さの半分より下にあることが望ましい。

【0038】

図5 (A) ~ 図5 (C) は本実施の形態の効果の度合いを比較するために、配線容量Cを規格化して表した図であり、変数Yが -50 nm のときの電気容量を1.0としている。今の場合、エッチング阻止膜5の厚さ B_{es} は 50 nm であるから、エッチング阻止膜5の上面が上層配線8Bの下面と一致している時、変数Yが -50 nm となる。

【0039】

図5 (A) は、層間絶縁膜の厚さを変化させた場合の比較である。界面位置の移動により、実際には変数Yの増加に伴い層間絶縁膜4の厚み、すなわち、下層配線の拡散防止膜3の上面からエッチング阻止膜5の下面までの高さも増加するが、ここでは簡単のため、下層配線1の上面と上層配線8Bの下面との距離 M_{th} が 450 nm と 250 nm の場合で比較した。なお、このときのエッチング阻止膜5と、層間絶縁膜4および上層絶縁膜6の比誘電率 K_{es} 、 K_{ma} はそれぞれ4.9と2.9である。同図によれば、 250 nm において配線容量の低減効果が顕著に得られることがわかる。従って素子の微細化などに伴い、アスペクト比の関係から層間絶縁膜厚が薄くなることが余儀なくされても、本実施の形態は有効に作用する。

【0040】

ところで、配線遅延は配線容量と配線抵抗の積に比例するため、上層配線の下にビアプラグを設けた場合、一般に、遅延時間を抑制するためには以下の関係が望ましい。

【0041】

$$(\text{上層配線の高さ}) < (\text{ビアプラグの高さ}) \quad (1)$$

一方、本実施の形態で提供される半導体装置は、以下のような関係を有している。

【0042】

$$(\text{上層絶縁膜の膜厚}) < (\text{上層配線の高さ}) \quad (2)$$

$$(\text{ビアプラグの高さ}) < (\text{層間絶縁膜の膜厚}) \quad (3)$$

従って (1) の関係を満たしつつ、本実施の形態を適用して配線容量をさらに低減する場合、上層絶縁膜と層間絶縁膜の膜厚には以下のような必要条件が導出さ

れる。

【0043】

(上層絶縁膜の膜厚) < (層間絶縁膜の膜厚) (4)

ただし上述のとおり、プロセスの制約などにより(1)の関係を満たすことのできない場合においても、本実施の形態によって電気容量は効果的に低減できる。

【0044】

図5(B)は、各膜の比誘電率を変化させた場合の結果である。ここでは層間絶縁膜4および上層絶縁膜6としてSiO₂膜(比誘電率4.2)、SiOC膜(比誘電率2.9)およびポーラス化MSQ系膜(比誘電率2.0)の場合を、エッチング阻止膜5としてSiC膜(比誘電率4.9)およびSiN膜(比誘電率7.0)の場合を比較した。なお、このときの下層配線1の上面と上層配線8Bの下面との距離Mthは450nmである。まずエッチング阻止膜5の比誘電率Kesが4.9の場合、層間絶縁膜4および上層絶縁膜6の比誘電率Kmaが4.2である場合に比べ、2.9または2.0の場合において、配線容量の低減が効果的に得られることがわかる。また、層間絶縁膜4および上層絶縁膜6の比誘電率Kmaが4.2であった場合は、エッチング阻止膜5の比誘電率Kesは4.9より7.0の場合の方が効果的である。これらのことから、本実施の形態による配線容量の低減効果は、エッチング阻止膜の比誘電率Kesと、層間絶縁膜および上層絶縁膜の比誘電率Kmaとの差が大きいと顕著に得られることがわかる。

【0045】

しかしながら、エッチング阻止膜の比誘電率を大きくしすぎた場合、界面と上層配線下面との距離のわずかなずれに対しても、配線容量の変動が発生しやすくなり、加工精度のばらつきを反映して配線容量のパターン依存性が生じる可能性が高くなる。こうした観点から、エッチング阻止膜の比誘電率は5.0以下にすることが望ましい。

【0046】

図5(C)は、図5(B)における規格化した配線容量Cの値を、層間絶縁膜4および上層絶縁膜6の比誘電率Kmaを変数として表しており、エッチング阻

止膜 5 の比誘電率 K_{es} が 4.9 のときの結果である。なお、図 5 (B) より、本実施の形態による効果が十分得られている領域、すなわち、配線容量 C が十分に飽和している領域を判断し、図 5 (C) では変数 Y が 100 nm のときの値を図示した。また、 K_{es} と K_{ma} の差を ΔK としてさらに横軸に表している。同図によれば、エッチングストップ膜の比誘電率との差がおよそ 2.0 以上であれば、配線容量が効果的に低減できるといえる。例えばエッチング阻止膜に比誘電率 4.9 の SiC 膜を利用した場合は、絶縁膜材料として、比誘電率が 2.9 以下である SiOC 膜や MSQ 系の膜を使用すると効果的である。

【0047】

【発明の効果】

以上説明したように本発明によれば、多層配線構造の配線形成プロセスにおいて、材料や構造を大幅に変更することなく、配線間の電気容量を効果的に低減させることができる。

【図面の簡単な説明】

【図 1】 従来の半導体装置の製造方法を説明するための工程断面図である。

【図 2】 本実施の形態に係る半導体装置の製造方法を説明するための工程断面図である。

【図 3】 本実施例において配線容量の低減効果を調べるために用いた配線構造を示す断面図である。

【図 4】 上層配線下面と界面との距離に対する配線容量の変化を示す図である。

【図 5】 本実施例における、配線容量の低減効果の比較結果を示す図である。

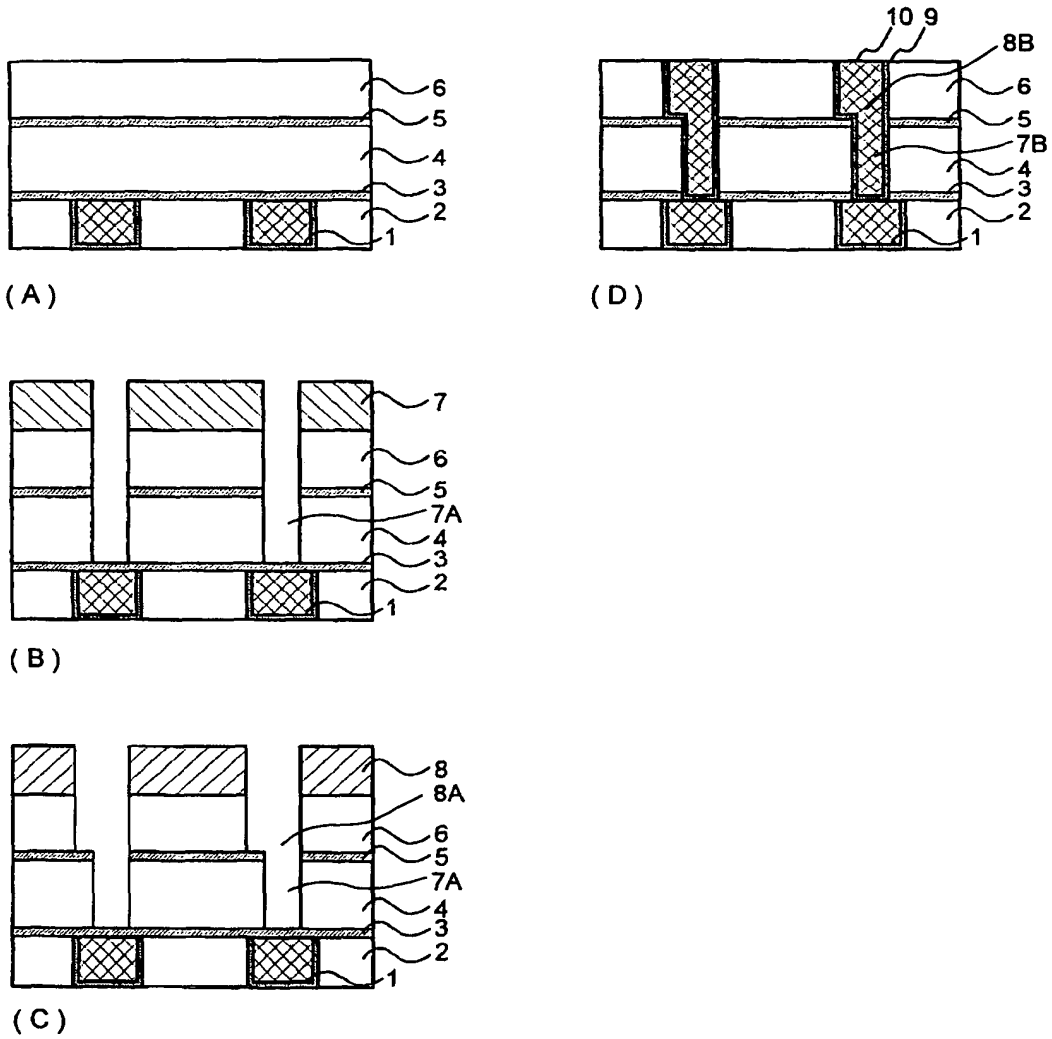
【符号の説明】

1 下層配線、 2 下層絶縁膜、 3 拡散防止膜、 4 層間絶縁膜、
5 エッチング阻止膜、 6 上層絶縁膜、 7 第 1 のレジストパターン、
7A ビアホール、 7B ビアプラグ、 8 第 2 のレジストパターン、
8A 上層配線用溝、 8B 上層配線、 9 バリアメタル、 10 配線金

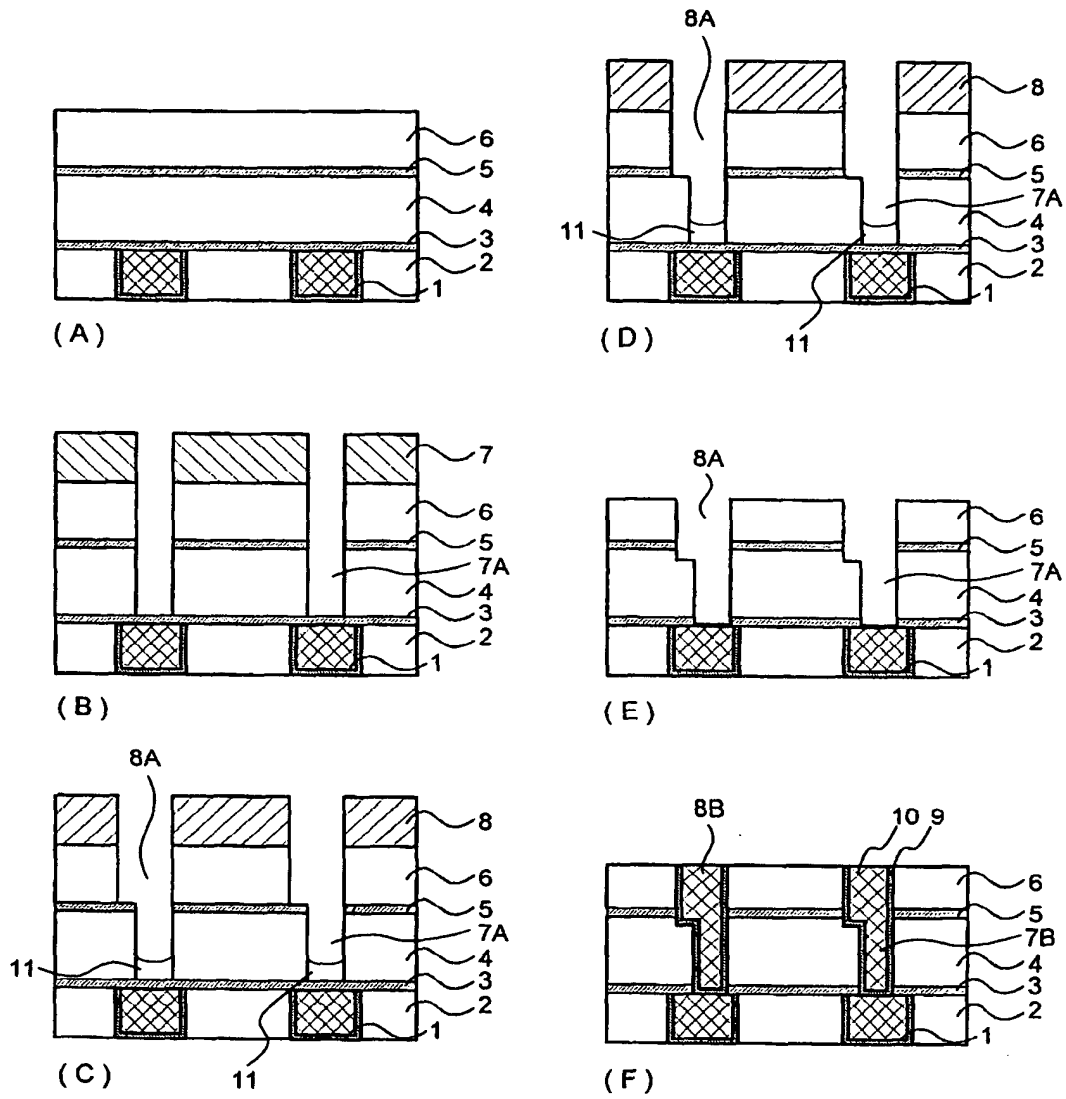
属。

【書類名】 図面

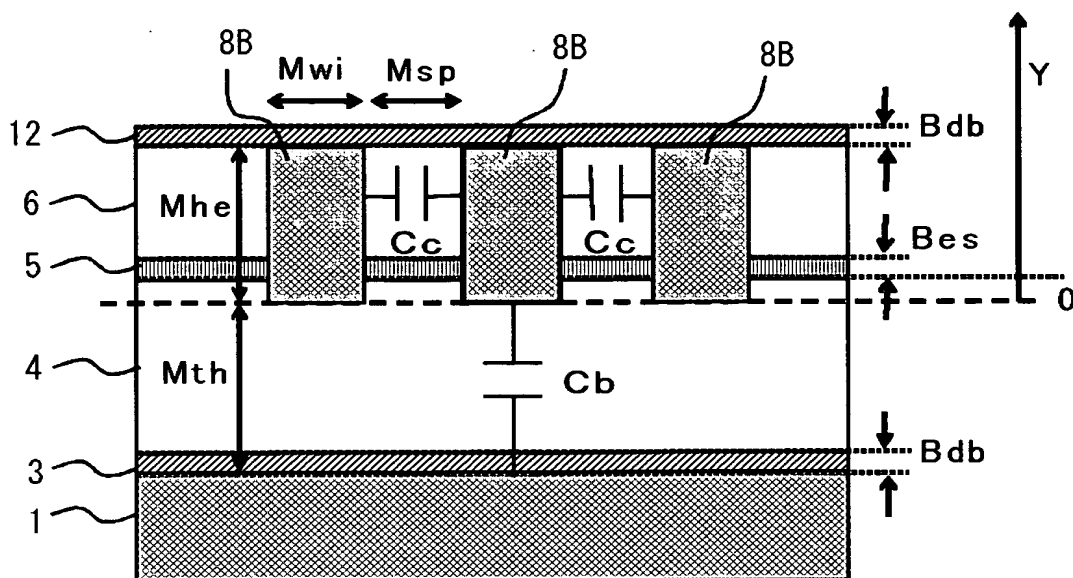
【図 1】



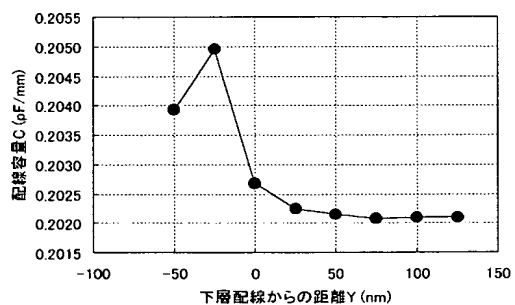
【図 2】



【図 3】

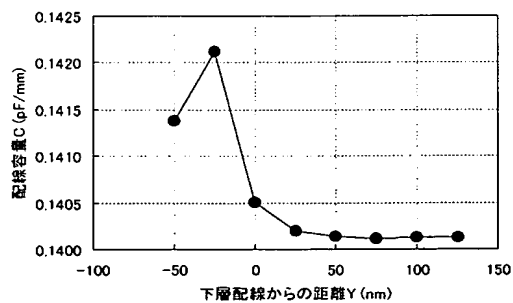


【図 4】



(A)

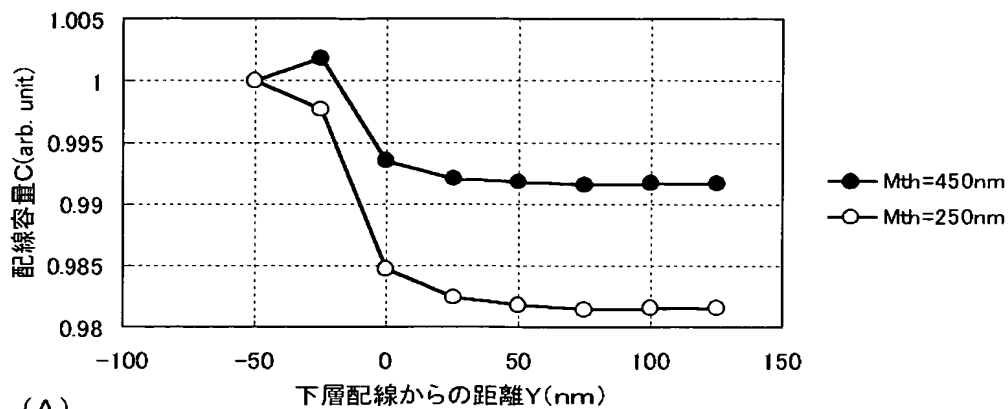
$K_{db}=K_{es}=7.0$
 $K_{ma}=2.9$
 $M_{th}=450\text{nm}$



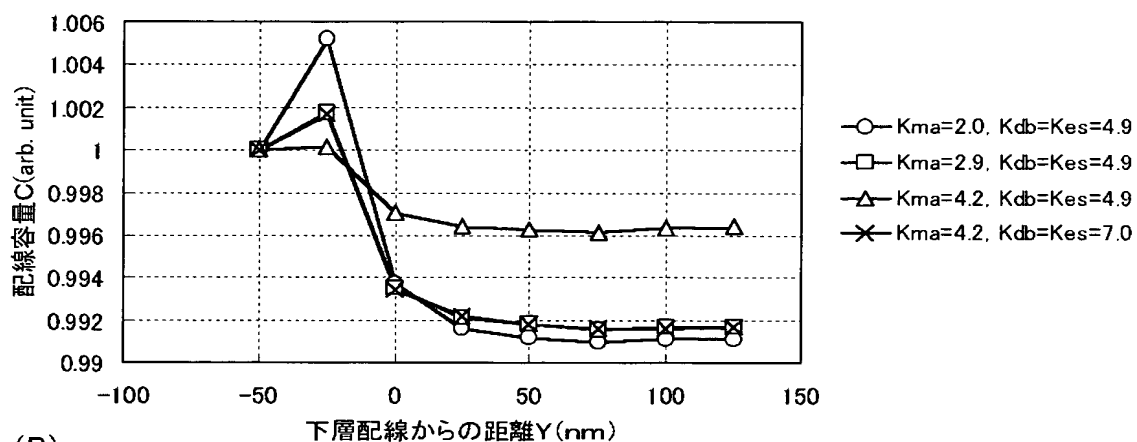
(B)

$K_{db}=K_{es}=4.9$
 $K_{ma}=2.0$
 $M_{th}=450\text{nm}$

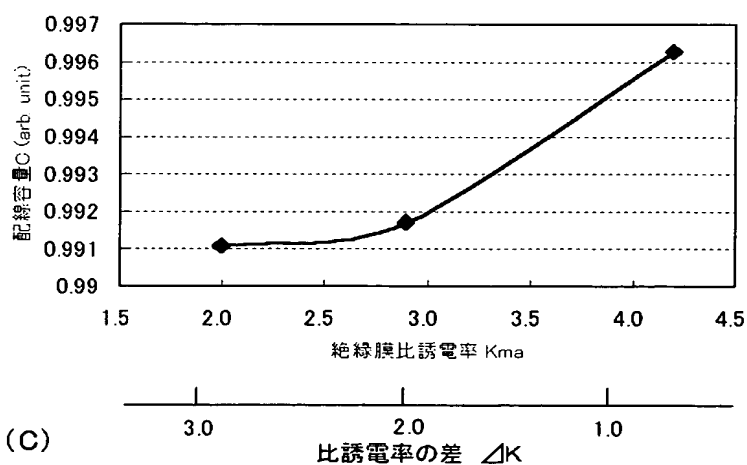
【図 5】



(A)



(B)



(C)

【書類名】 要約書

【要約】

【課題】 ダマシン法を用いた多層配線を有する半導体装置において、構造や材料を大幅に変更することなく配線容量を低減させる技術を提供する。

【解決手段】 下層配線層上の層間絶縁膜 4 とエッチング阻止膜 5 と上層絶縁膜 6 をホール形状にエッチングした後、エッチング阻止膜 5 を利用して上層絶縁膜 6 を溝形状にエッチングする。追加のエッチングにより溝底部に露出したエッチング阻止膜 5 を除去した後、エッチバックにより溝底部に露出した層間絶縁膜 4 を所定の厚さだけエッチングし、ホールおよび溝に配線金属 1 0 を埋め込む。

【選択図】 図 2

特願 2 0 0 2 - 2 8 4 2 1 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

- 1 . 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 大阪府守口市京阪本通 2 丁目 1 8 番地
氏 名 三洋電機株式会社
- 2 . 変更年月日 1 9 9 3 年 1 0 月 2 0 日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名 三洋電機株式会社